

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-149000

(43)Date of publication of application : 07.06.1996

(51)Int.Cl.

H03L 7/10

H03L 7/18

H04N 5/06

H04N 5/12

(21)Application number : 06-285576

(71)Applicant : FUJITSU GENERAL LTD

(22)Date of filing : 18.11.1994

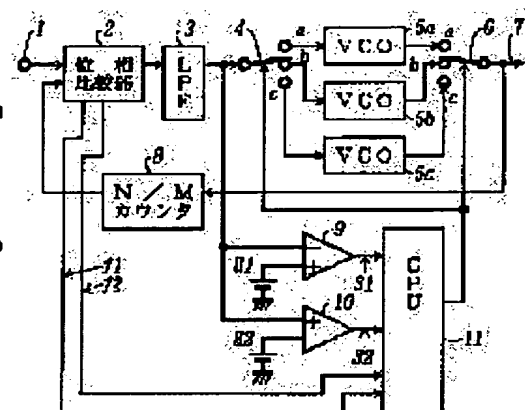
(72)Inventor : IGARASHI TAKAYUKI

(54) PLL CIRCUIT

(57)Abstract:

PURPOSE: To prevent locking from being released by selecting other VCO before locking of a VCO is released in the broad band use PLL circuit adopting a system where any of plural VCOs is selected.

CONSTITUTION: A phase comparator 2 compares a phase of an external signal from a terminal 1 with a phase of a comparison signal from an N/M counter 8, a phase difference signal is given to an LPF 3, in which an undesired frequency component is filtered. A signal from the LPF is fed to a VCO 5b via a switch 4, in which a clock signal with a frequency in response to a signal voltage is oscillated and outputted from a terminal 7 via a switch 6, and simultaneously the signal is given to the N/M counter, where the signal is multiplied or frequency-divided and the resulting signal is fed back to the phase comparator. A signal from the LPF is fed to voltage comparators 9, 10, the voltage comparator 9 compares the signal with a lower limit voltage E1 at which locking is not released, and the voltage comparator 10 compares the signal with an upper limit voltage E2 respectively and the comparators 9, 10 provide respectively signals S1, S3 and they are given to a CPU 11. The CPU 11 selects a VCO 5a or 5b based on the signals when a control voltage reaches a lower limit voltage or an upper limit voltage.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-149000

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 L 7/10				
7/18				
H 0 4 N 5/06	Z			

H 0 3 L 7/10 Z
7/18 E

審査請求 未請求 請求項の数 8 O L (全 5 頁) 最終頁に続く

(21) 出願番号 特願平6-285576

(22) 出願日 平成6年(1994)11月18日

(71) 出願人 000006611

株式会社富士通ゼネラル

神奈川県川崎市高津区末長1116番地

(72) 発明者 五十嵐 孝之

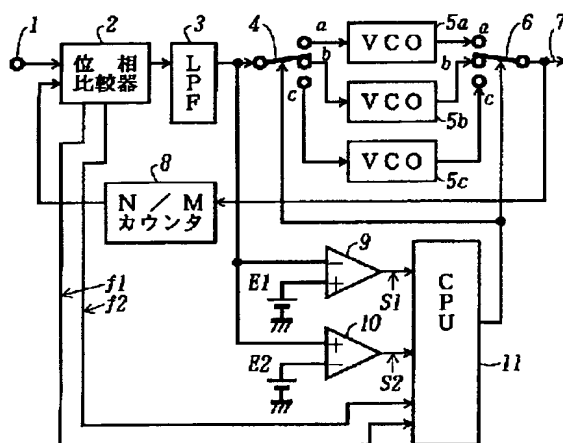
川崎市高津区末長1116番地 株式会社富士通ゼネラル内

(54) 【発明の名称】 PLL回路

(57) 【要約】

【目的】 複数のVCOを切替える方式の広帯域用PLL回路において、VCOのロックが外れる前に他のVCOに切替えてロック外れないようにする。

【構成】 位相比較器2で端子1よりの外部信号とN/Mカウンタ8よりの比較信号の位相を比較し、位相差の信号をLPF3に入力し、不要周波数成分を濾波する。LPF3よりの信号をスイッチ4を介してVCO5bに印加し、信号電圧に応じた周波数のクロックを発振し、スイッチ6を介して端子7より出力し、同時にN/Mカウンタに入力して通倍/分周し、前記位相比較器に帰還する。LPF3よりの信号を電圧比較器9、10に印加し、電圧比較器9でロックの外れない下限電圧E1と、電圧比較器10で上限電圧E2とそれぞれ比較しそれぞれ信号S1、S2を出力しCPUに入力する。CPUはこれらの信号に基づいて、制御電圧が下限電圧若しくは上限電圧になった場合、VCO5aあるいは5cに切替える。



【特許請求の範囲】

【請求項 1】 外部よりの基準信号および内部の比較信号の位相を比較し位相差の信号を出力する位相比較器と、位相比較器よりの信号を入力し不要周波数成分を濾波する低域フィルタと、複数設けられ前記低域フィルタよりの信号の電圧に対応する周波数のクロックをそれぞれ発振する電圧制御発振回路と、複数の電圧制御発振回路を切換えるスイッチと、電圧制御発振回路よりのクロックを分周し前記位相比較器に入力する分周器と、前記低域フィルタよりの信号を第 1 基準電圧と比較し第 1 基準電圧より低い場合に H レベルの信号を出力する第 1 電圧比較器と、前記低域フィルタよりの信号を第 2 基準電圧と比較し第 2 基準電圧より高い場合に H レベルの信号を出力する第 2 電圧比較器と、第 1 電圧比較器よりの信号および第 2 電圧比較器よりの信号に基づいて演算し、演算による信号にて前記スイッチを切換える CPU とから構成した PLL 回路。

【請求項 2】 前記第 1 基準電圧はロックの外れない下限として設定した電圧であり、第 2 基準電圧はロックの外れない上限として設定した電圧である請求項 1 記載の PLL 回路。

【請求項 3】 周波数を逡倍する逡倍器と、周波数を分周する分周器とを設け、前記電圧制御発振回路よりの信号を逡倍および分周し、前記位相比較器に入力するようにしてなる請求項 1 または請求項 2 記載の PLL 回路。

【請求項 4】 前記複数の電圧制御発振回路は、同一制御電圧にてそれぞれ異なる周波数のクロックを発振するように構成してなる請求項 1、請求項 2 または請求項 3 記載の PLL 回路。

【請求項 5】 前記複数の電圧制御発振回路は、同一制御電圧にてそれぞれ異なる周波数のクロックを発振し、かつ、互いにロックレンジがオーバーラップするように構成してなる請求項 1、請求項 2、請求項 3 または請求項 4 記載の PLL 回路。

【請求項 6】 前記複数の電圧制御発振回路は、ロックの下限の電圧およびロックの上限の電圧がそれぞれ略同一の電圧になるように構成してなる請求項 1、請求項 2、請求項 3、請求項 4 または請求項 5 記載の PLL 回路。

【請求項 7】 前記電圧制御発振回路を 3 回路設けて構成した請求項 1、請求項 2、請求項 3、請求項 4、請求項 5 または請求項 6 記載の PLL 回路。

【請求項 8】 前記スイッチを連動する第 1 スイッチおよび第 2 スイッチで構成し、第 1 スイッチで前記複数の電圧制御発振回路の入力側を切換えて前記低域フィルタよりの信号を入力し、第 2 スイッチで複数の電圧制御発振回路の出力側を切換えるようにした請求項 1、請求項 2、請求項 3、請求項 4、請求項 5、請求項 6 または請求項 7 記載の PLL 回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は PLL (phase locked loop = 位相同期) 回路に係り、VCO (voltage controlled oscillator = 電圧制御発振回路) を複数設け、これらを切換えることにより広いロックレンジを得るものに関する。

【0002】

【従来の技術】映像信号をディジタル処理するには映像信号に同期したクロックが必要である。クロックの生成には PLL 回路が多用されるが、入力信号の広い周波数範囲でロックさせるためには周波数可変範囲の広い VCO が必要である。しかし、VCO の周波数可変範囲を広くすることは周波数安定度が低下するという問題があるため、発振周波数の異なる VCO を複数設け、これらを切換えてロックレンジを広げる方法が用いられる。図 3 は従来のこのような目的の PLL 回路の一例である。この回路では、位相比較器 2 に端子 1 よりの水平同期信号を基準信号として印加し、N/M (逡倍/分周) カウンタ 8 よりの比較信号との位相を比較し、位相差に応じた差信号電圧を出力し、この差信号電圧を LPF (low pass filter = 低域フィルタ) 3 で積分し、スイッチ 4 を介して VCO 5a、5b または 5c に印加して発振周波数を制御し、この VCO の出力を N/M カウンタ 8 で逡倍/分周して比較信号とし、前記位相比較器 2 に帰還することにより、端子 1 よりの基準信号に同期したクロックを出力するようにしている。

【0003】VCO 5a、5b または 5c の切換えは、CPU (中央演算回路) 21 よりの信号でスイッチ 4 およびスイッチ 5 を連動させて切換えることによって行うもので、例えば、VCO の発振周波数が VCO 5b を中心として、VCO 5a が周波数の高い領域用、VCO 5c が低い領域用の場合、最初はスイッチ 4 および 6 をそれぞれ b 側に切換えて VCO 5b を作動させ、図 4 に示すように位相比較器 2 よりのロック検出信号 f2 が L レベル (ロック状態) から H レベル (位相進みによるロック外れ) になった場合にスイッチ 4 および 6 を a 側に切換えて VCO 5a を作動させ、また、ロック検出信号 f1 が L レベル (ロック状態) から H レベル (位相遅れによるロック外れ) になった場合にスイッチ 4 および 6 を c 側に切換えて VCO 5c を作動させるようにしている。これによって、入力される信号が 3 つの VCO のロックレンジ以内にあればこの信号に同期したクロックを安定に得られるのであるが、CPU 21 はロックが外れてから VCO を切換えるため、切換え時に一時的に同期が外れ、画面が乱れるという問題がある。

【0004】

【発明が解決しようとする課題】本発明はこのような点に鑑み、複数の VCO をロック外れなしに切換えるようにし、VCO の切換えによる画面の乱れをなくすることにある。

【0005】

【課題を解決するための手段】本発明は上述の課題を解決するため、外部よりの基準信号および内部の比較信号の位相を比較し位相差の信号を出力する位相比較器と、位相比較器よりの信号の不要周波数成分を濾波する低域フィルタ(LPF)と、複数設けられ前記低域フィルタよりの信号電圧に対応する周波数のクロックをそれぞれ発振する電圧制御発振回路と、複数の電圧制御発振回路を切替えるスイッチと、電圧制御発振回路よりの信号を分周し前記位相比較器に入力する分周器と、前記低域フィルタよりの信号をロックの外れない下限として設定した電圧と比較し低い場合にHレベルの信号を出力する第1電圧比較器と、前記低域フィルタよりの信号をロックの外れない上限として設定した電圧と比較し高い場合にHレベルの信号を出力する第2電圧比較器と、第1電圧比較器よりの信号および第2電圧比較器よりの信号に基づいて演算し、演算による信号にて前記スイッチを切替えるCPUとから構成したPLL回路を提供するものである。

【0006】

【作用】以上のように構成したので、本発明によるPLL回路においては、複数のVCOを、同じ制御電圧で互いに異なる周波数のクロックを発振し、かつ、ロックレンジが互いにオーバーラップするように設定する。電圧比較器を2つ設け、LPFよりの信号電圧をロックの外れない下限電圧、およびロックの外れない上限電圧とそれぞれ比較し、比較に基づく信号をCPUに印加し、動作中のVCOの発振周波数がロックの外れない下限以下か、若しくはロックの外れない上限以上に於いてスイッチの切換えを行い、VCOを切替える。

【0007】

【実施例】以下、図面に基づいて本発明によるPLL回路の実施例を詳細に説明する。図1は本発明によるPLL回路の一実施例の要部ブロック図である。図において、1は入力端子で、基準となる水平同期信号(H-syn)等を入力する。2は位相比較器で入力端子1よりの基準信号とN/Mカウンタ(通倍/分周器)8よりの比較信号の位相を比較し、位相差に応じた差信号電圧、およびロック検出信号f1、f2をそれぞれ出力する。このロック検出信号f1、f2は、ロックしている間は共に「L」レベルであり、比較信号の位相が基準信号に対して進み、ロックが外れた場合にf2が「H」レベルとなり、比較信号の位相が基準信号より遅れてロックが外れた場合にf1が「H」レベルとなる。

【0008】3はLPFで、位相比較器2よりの差信号電圧の不要周波数成分を濾波する。4はスイッチで、LPF3よりの信号電圧をVCO5a、VCO5bまたはVCO5cに切替えて入力する。VCO5a、VCO5bおよびVCO5cは、それぞれLPF3よりの信号電圧に応じた周波数のクロックを発振する電圧制御発振回路で、同じ信

号電圧にてそれぞれ異なる周波数のクロックを発振し、ロックレンジが互いにオーバーラップするように中心周波数を設定する。6はスイッチで、スイッチ4と連動し、VCO5a、VCO5bまたはVCO5cの出力を切換え、端子7より出力する。

【0009】N/Mカウンタ8は、スイッチ6よりのクロックを、入力端子1よりの水平同期信号の周波数になるように通倍/分周して比較信号とし、前記位相比較器2に帰還する。9は電圧比較器で、LPF3よりの信号電圧を、VCO5a、VCO5bおよびVCO5cの何れでもロックが外れないロックの下限電圧E1と比較し、下限電圧E1以下の場合に「H」レベルの信号S1を出力する。10は電圧比較器で、LPF3よりの信号電圧を、VCO5a、VCO5bおよびVCO5cの何れでもロックが外れないロック上限電圧E2と比較し、上限電圧E2以上の場合に「H」レベルの信号S2を出力する。11はCPUで、電圧比較器9よりの信号S1および電圧比較器10よりの信号S2を入力し、信号S1および信号S2が共に「L」レベルの場合はスイッチ4および6をb側に固定する信号を出力し、信号S1が「L」レベルで、かつ信号S2が「H」レベルの場合にスイッチ4および6をa側に切替える信号を出力し、信号S1が「H」レベルで、かつ信号S2が「L」レベルの場合にスイッチ4および6をc側に切替える信号を出力する。なお、CPU11は、位相比較器2よりのロック検出信号f1が「H」レベルとなった場合は比較信号の位相遅れによるロック外れ、また、ロック検出信号f2が「H」レベルとなった場合は比較信号の位相進みによるロック外れであることを判別する。

【0010】次に、本発明によるPLL回路の動作を説明する。位相比較器2は、入力端子1よりの水平同期信号(基準信号)とN/Mカウンタ8よりの比較信号の位相を比較し、位相差に応じた差信号電圧、およびロック検出信号をそれぞれ出力する。差信号電圧はLPF3にて不要周波数成分が濾波され、スイッチ4を介してVCO5bに印加される。VCO5bはLPF3よりの信号電圧に応じた周波数のクロックを発振し、スイッチ6を介して端子7より出力する。VCO5bよりのクロックはN/Mカウンタ8に入力し、端子1よりの基準信号の周波数となるようにN倍に通倍し、M分の1に分周し、位相比較器2に帰還される。VCO5a、VCO5bおよびVCO5cは、例えば、制御電圧が図2(ロ)に示す中心電圧にて発振周波数がそれぞれ異なり、ロックの外れない下限の制御電圧E1、およびロックの外れない上限の制御電圧E2がそれぞれ略同一で、かつ、ロックレンジ(図の制御電圧E1~E2)が上下で3個のVCO間で互いにオーバーラップするように設定する。なお、図1の例ではVCOを3個設けているが、処理しなければならない水平同期信号の安定度に応じてVCOを2個設ける、あるいは4個以上設けるようにしてもよい。

【0011】電圧比較器9および電圧比較器10にはLP

F 3 よりの信号電圧が印加される。電圧比較器9は、この信号電圧をロックの外れない下限として設定した電圧E1と比較し、信号電圧が電圧E1より低い場合に「H」レベルの信号S1を出力し、電圧比較器10は、信号電圧をロックの外れない上限として設定した電圧E2と比較し、電圧E2より高い場合に「H」レベルの信号S2を出力し、それぞれ前記CPU11に入力する。

【0012】CPU11はこれらの信号に基づいて演算する。すなわち、前記信号S1、信号S2が共に「L」レベルの場合はスイッチ4および6をb側に固定する信号を出力し、信号S1が「L」レベル、信号S2が「H」レベルの場合にスイッチ4および6をa側に切替える信号を出力する。これは、端子1よりの水平同期信号の周波数が高い方に移動し、VCO5bに印加されるLPF3よりの電圧が電圧E2以上に上昇し、これにより、VCO5bの発振周波数が図の(ロ)の上側の「切換え領域」に入っているため、スイッチ4および6がa側に切替わることに、前記VCO5bより高い周波数を発振するように設定されているVCO5aに切換え(矢印A)、これによりロック外れを回避する。また、信号S1が「H」レベルで、かつ信号S2が「L」レベルの場合、スイッチ4および6をc側に切替える信号を出力する。これは、端子1よりの水平同期信号の周波数が低い方に移動し、これにより、VCO5bに印加されるLPF3よりの電圧が電圧E1以下に低下し、VCO5bの発振周波数が図の(ロ)の下側の「切換え領域」に入っているため、スイッチ4および6がc側に切替わる(矢印B)ことに、前記VCO5bより低い周波数を発振するように設定されているVCO5cに切替わり、ロックを保持する。

【0013】

*【発明の効果】以上に説明したように、本発明によるPLL回路によれば、外部よりの水平同期信号の周波数が中心値から上下に動いてVCOの制御電圧が変動し、PLLがロックレンジから外れそうになった場合、ロックが外れる前に他のVCOに切替わるのでロック外れが生じない。従って、このPLL回路で生成されたクロックを使用する装置では、水平同期信号の周波数変動の大きい映像信号を処理する場合にもロック外れで画面が乱れることがない。

10 【図面の簡単な説明】

【図1】本発明によるPLL回路の一実施例の要部ブロック図である。

【図2】VCOの切換えを説明するための図である。

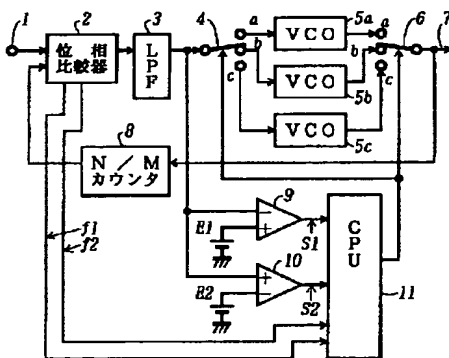
【図3】従来のPLL回路の一例の要部ブロック図である。

【図4】従来のPLL回路におけるVCOの切換えを説明するための図である。

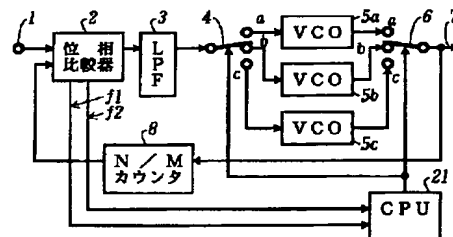
【符号の説明】

- 1 基準信号入力端子
- 2 位相比較器
- 3 LPF
- 4 スイッチ
- 5 VCO
- 6 スイッチ
- 8 N/M(通倍/分周)カウンタ
- 9 電圧比較器
- 10 電圧比較器
- 11 CPU
- E1 ロックの外れない下限電圧
- E2 ロックの外れない上限電圧

【図1】



【図3】



【図4】

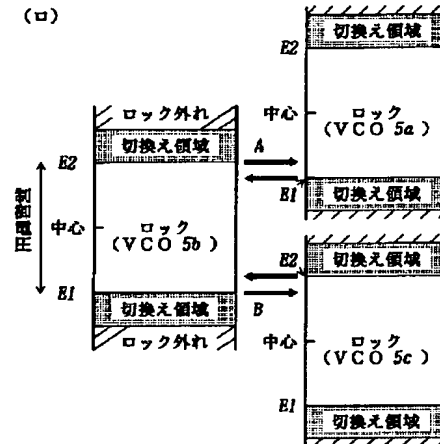
	f1	f2
ロック状態	L	L
ロック外れ(過み)	L	H
・ (遅れ)	H	L

【図2】

(イ)

	S1	S2	VCO
切換え領域	L	H	5a
ロック状態	L	L	5b
切換え領域	H	L	5c

(ロ)



フロントページの続き

(51)Int.Cl.⁶
H04N 5/12

識別記号 片内整理番号
A

F I

技術表示箇所